

文档编号: AN2069

上海东软载波微电子有限公司

# 应用笔记

---

## 东软载波单片机 **EMC** 硬件设计指南

## 修订历史

版本	修改日期	修改概要
V1.0	2026-5-6	初版

地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com/

版权所有©

### 上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

## 目 录

### 内容目录

<b>第 1 章</b>	<b>前言</b> .....	<b>5</b>
<b>第 2 章</b>	<b>EMC 概述</b> .....	<b>6</b>
2.1	EMC 简介 .....	6
2.2	EMS 简介 .....	6
2.3	EMI 简介 .....	6
2.4	电磁干扰三要素 .....	6
<b>第 3 章</b>	<b>系统 EMC 设计</b> .....	<b>7</b>
3.1.1	EMC 器件选型 .....	7
3.1.1.1	滤波器件 .....	7
3.1.1.2	防护器件 .....	8
3.1.2	系统电源电路设计 .....	9
3.1.3	滤波电路设计 .....	11
3.1.4	输入接口电路设计 .....	11
<b>第 4 章</b>	<b>PCB 的 EMC 设计</b> .....	<b>13</b>
4.1	基本原则 .....	13
4.2	布局设计 .....	13
4.2.1	模块划分 .....	13
4.2.2	模块布局 .....	13
4.2.3	关键电路布局 .....	14
4.2.3.1	电源部分 .....	14
4.2.3.2	时钟部分 .....	15
4.2.3.3	滤波器件 .....	16
4.2.3.4	旁路和退耦布局 .....	16
4.3	布线设计 .....	17
4.3.1	布线的基本原则 .....	17
4.3.2	过孔设计 .....	17
4.3.2.1	过孔对回流的影响 .....	18
4.3.2.2	过孔对信号质量的影响 .....	18
4.3.2.3	过孔设计原则 .....	18
4.3.3	接地设计 .....	18
4.3.3.1	接地的基本方式 .....	18
4.3.3.2	浮地 .....	18
4.3.3.3	单点接地 .....	19
4.3.3.4	多点接地 .....	19
4.3.3.5	混合接地 .....	19
4.3.3.6	地的分割与汇接 .....	19
4.3.3.7	接地方式选取原则 .....	19
4.3.3.8	其他接地问题 .....	20
<b>第 5 章</b>	<b>EMC 整改案例</b> .....	<b>21</b>
5.1.1	电池包整改 .....	21
5.1.1.1	问题描述 .....	21

5.1.1.2	故障诊断 .....	21
5.1.1.3	原因分析 .....	21
5.1.1.4	整改措施 .....	22
5.1.1.5	测试验证 .....	22
5.1.2	血压计整改 .....	23
5.1.2.1	问题描述 .....	23
5.1.2.2	故障诊断 .....	23
5.1.2.3	原因分析 .....	23
5.1.2.4	整改措施 .....	23
5.1.2.5	测试验证 .....	26

## 图目录

图 2-1	电磁骚扰三要素 .....	6
图 3-1	两类电源电路 .....	9
图 3-2	传统线性电源 .....	9
图 3-3	线性稳压器的滤波电路 .....	9
图 3-4	阻容降压电源 .....	10
图 3-5	隔离开关电源 .....	10
图 3-6	非隔离开关电源 .....	11
图 3-7	输入低通滤波电路 .....	11
图 4-1	信号分区管理 .....	14
图 4-2	时钟电路布局 .....	14
图 4-3	电源布局位置 .....	15
图 4-4	隔离过孔带 .....	15
图 4-5	时钟电路局部铺地 .....	16
图 4-6	滤波器件的布局 .....	16
图 4-7	常规焊盘的接地过孔 .....	20
图 4-8	中央焊盘的接地过孔 .....	20
图 5-1	插件接口电路 .....	21
图 5-2	ESD 防护电路元件未焊 .....	21
图 5-3	ESD 防护电路元件补焊 .....	22
图 5-4	飞线整改 .....	22
图 5-5	稳压电源芯片增加滤波电容 .....	23
图 5-6	外围芯片电源脚增加滤波电容 .....	23
图 5-7	接口增加滤波网络 .....	24
图 5-8	MCU 管脚防护 .....	24
图 5-9	电源走线 .....	25
图 5-10	MCU 外围电路走线 .....	25
图 5-11	顶层铺地对比 .....	25
图 5-12	底层铺地对比 .....	26

## 第1章 前言

EMC（电磁兼容）设计介入产品设计的时间越早，成本越低。从设计源头上，即 PCB 设计上解决 EMC 问题是成本最低、效果最佳的方式。

为助力客户开发高可靠性产品，我们基于东软载波 MCU（单片机）产品的特点，编制了 EMC 设计指南。本文将从 EMC 概述、系统 EMC 设计和 PCB 设计三个方面进行说明，帮助工程师在设计初期规避 EMC 风险，提升产品 EMC 认证通过率，同时保障产品在复杂电磁环境下的稳定运行。

## 第2章 EMC概述

### 2.1 EMC简介

EMC (Electromagnetic Compatibility, 电磁兼容性) 是指电子设备在受到其正常环境中存在的电磁现象干扰时能正常工作, 并且不对其他设备产生电气干扰的能力, EMC 是系统级设计目标, 包含电磁抗扰度 (EMS) 和电磁干扰 (EMI)。

### 2.2 EMS 简介

EMS (Electromagnetic Susceptibility, 电磁敏感性), 也称电磁抗扰度, 是指电子设备抵抗外部电磁干扰 (如静电、浪涌、电快速脉冲等) 的能力, 体现电路的稳定性与可靠性。

### 2.3 EMI简介

EMI (Electromagnetic Interference, 电磁干扰), 也称电磁发射, 是指电子设备自身产生的电磁噪声通过传导、辐射等方式向外发射, 对其它电路或系统造成干扰的现象。

### 2.4 电磁干扰三要素

电磁骚扰源、耦合途径和敏感设备称为电磁干扰三要素。所有的电磁干扰都是上述三个因素的组合所产生, 如下图所示。

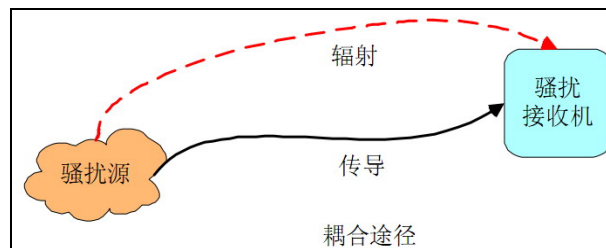


图 2-1 电磁骚扰三要素

电磁骚扰源可分为两大类: 自然骚扰源 (天电噪声、宇宙噪声等)、人为骚扰源 (无线电骚扰源、家电、照明设备等瞬态骚扰源等)。

耦合途径是指把能量从骚扰源耦合到敏感设备上, 并使该设备产生响应的媒介。

敏感设备是指对电磁骚扰产生响应的设备, 即骚扰接收机。

## 第3章 系统EMC设计

由于电磁干扰致使电子产品的性能下降，无法工作的现象时有发生，严重的可造成质量事故或设备损坏甚至危及人身安全。因此 EMC 性能是一个电子产品成功与否的核心指标。

系统 EMC 设计应在产品设计阶段就予以重视。如果在产品的设计和制造过程中未考虑 EMC 问题，则在 EMC 性能检测中的一次性通过率会极低，且在产品批量投产后再进行改造以满足 EMC 要求所付出的代价将非常高昂。因此，对于系统产品设计，越早重视 EMC 问题，则花费的时间和投入成本就越低。

系统 EMC 设计主要包括：EMC 器件选型、系统电源电路设计、滤波电路设计和输入接口电路设计。

### 3.1.1 EMC器件选型

要进行产品 EMC 设计，需掌握基本的 EMC 器件知识。EMC 常用器件可分为滤波器件和防护器件两大类。

#### 3.1.1.1 滤波器件

滤波器件起到过滤干扰的作用，不仅可以减弱外界干扰对系统的影响，还可以防止系统自身噪声对外部环境的影响。

滤波器件最常见的是电阻、电容和电感。在实际应用中要灵活组合这些器件，形成有效的滤波电路。

##### ◆ 电阻

电阻一般不能单独用作滤波功能，通常和电容搭配构成 RC 滤波网络，可在不同的供电区域退耦。

电阻独立使用多是用在瞬态保护应用中，两个节点间的串联电阻可实现高性价比的瞬态保护，即用与频率无关的电阻来抑制信号的瞬态变化。串联电阻主要适用于保护电流较小的数字或模拟信号，还可以承担适度的压降。选择电阻时需考虑稳定状态下的最高额定功率、工作电压和耐压性，通常无需考虑电阻的寄生电容和电感。

##### ◆ 电容

电容是系统中最常用的滤波器件，按功能不同，可起到以下三种作用：

- 1) 去耦 (Decouple)：打破系统或电路的端口间耦合，保证系统的正常工作。
- 2) 旁路 (Bypass)：在瞬态能量产生的地方为其提供一个低阻抗的泄放通道。
- 3) 储能 (Bulk)：可保证负载快速加重时电压不会快速跌落。

无论是哪种功能，电容都可用来有效地抑制有限能量的快速瞬变。但电容不适用于分流较大的瞬时电流（如雷电、浪涌和大电感负载开关导致的大电流）。

在频率很高时，电容的寄生参数的影响不能忽略。考虑到电容具有一定的物理尺寸以及起连接作用的安装焊盘和过孔，其寄生参数通常包括一个串联电感和串联电阻。

串联的 RLC 电路在谐振频率处，电路的阻抗的幅度最小，可以等效为一个电阻，称为等效串联电阻 (ESR)。由电容的容值和谐振频率，可以算出电容的等效串联电感 (ESL)。

小尺寸的电容（如 0603 封装）电感值较小，容值也小，因而其谐振频率较高，在高频情况下阻抗较低，常被用来减小 EMI 和回流路径。大尺寸的电容可提供比较大的电流，然而其谐振频率较低，故应用受到一些限制。为了得到比较大的电容并保持较高的谐振频率，可以把几个小电容并联在一起（n 个电容并联后，其容值为 nC，电感为 L/n，谐振频率不变，ESR 减小为 R/n）。

##### ◆ 电感和磁珠

电感可用于抑制 PCB 内的 EMI。对电感而言，其感抗和频率成正比（由公式： $X_L=2\pi fL$  可知）。例如，一个理想的 10mH 电感，10kHz 时的感抗是 628Ω，而在 100MHz 时增加到 6.2MΩ，故此电

感在高于 100MHz 时可视为开路。

在高频时，若不能使用电感，应该使用磁珠。在低频时，磁珠基本上保有电感的完整特性，因此会造成线路上的微损失。但在高频时，磁珠基本上只具有抗性分量 ( $j\omega L$ )，并且抗性分量会随着频率上升而增加。因此，磁珠是射频能量的高频衰减器，可用于抑制信号线、电源线上的高频噪声和尖峰干扰，此外，还具有吸收静电脉冲的能力。

在实际应用中，EMC 所面临解决问题大多是共模干扰，因此还有一种电感器件，称为“共模电感”。共模电感是一个以铁氧体为磁芯的共模干扰抑制器件，其应用场合可以分为电源端口和信号端口。在 AC 电源端口，一般使用 1~30mH 的共模电感；在 DC 电源端口，一般使用几十  $\mu H$  的共模电感。

### 3.1.1.2 防护器件

防护器件是用来控制和限制跨过任何两个端点的电压。当触发电压达到时，通过钳位和转移瞬态电流来完成防护任务。器件的响应时间往往与其电流处理能力成反比。因此，为了达到理想的保护水平，通常需要两个器件（一个响应慢但电流处理能力强，另一个响应快但电流处理能力弱）。

#### ◆ 气体放电管

气体放电管简称为 GDT，用于保护设备和（或）人身免遭高压电压的危害。气体放电管特点：通流量大、结电容低、绝缘高等特点，主要应用在 AC/DC 电源接口、RS485、以太网接口等需要防雷保护的接口。

#### ◆ 瞬态抑制二极管

瞬态抑制二极管简称为 TVS。TVS 管的特点是作用时间短。电压幅度高瞬态能量大的瞬态电压叠加在电路的工作电压上会造成电路的“过电压”而损坏。电路正常时 TVS 处于关断状态呈现高阻抗，当有浪涌冲击电压时能以 ns 量级的速度从高阻抗转变为低阻抗吸收浪涌功率，使浪涌电压通过其自身到地，从而保护电路不受侵害，起到了防护作用。TVS 管主要应用在 RS485/RS232 接口、USB 接口、VGA 接口等需要防静电以及热插拔的端口。

#### ◆ 压敏电阻

压敏电阻是一种非线性对称双极器件，它能将能量消耗于其构成材料中，如压敏电阻中的金属氧化物。因此，压敏电阻能有效地遏止正向和负向的瞬态大电流。但是使用压敏电阻时，实际触发电压可能和给定值有很大差异。使用变阻器的瞬态保护设计必须适应这一特点。目前，在所有为保护电子设备免受交流电上瞬态电压影响的非线性器件中，压敏电阻是最好的一种。

#### ◆ 雪崩和齐纳二极管

雪崩和齐纳二极管是硅二极管，主要工作于反向击穿模式下。这两种二极管间的主要区别在于反向击穿机制：雪崩或齐纳。通常情况下，齐纳二极管的反向击穿电压低于 5V，而雪崩机制的二极管反向击穿电压高于 8V。

### 3.1.2 系统电源电路设计

电源电路的瞬态保护可单独进行，也可以与电源入口处的保护相结合。

如下图所示，电源通常可分为两大类，即线性电源和开关电源。为了确保应用中的抗干扰能力，不同电源电路都有各自的注意事项。

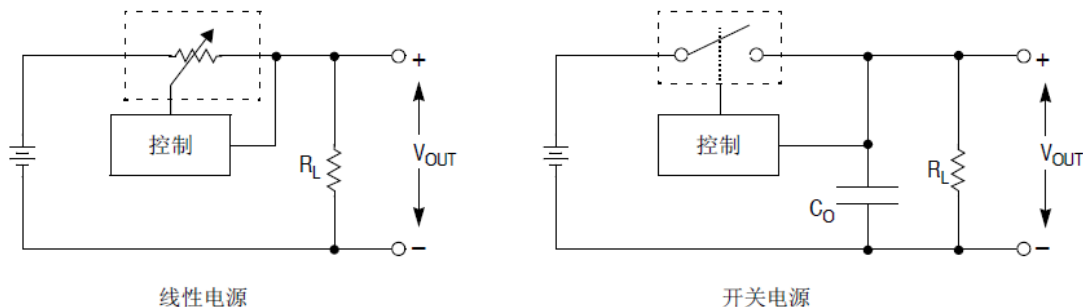


图 3-1 两类电源电路

电源设计技术的进步使得开发出低成本的电源成为可能。虽然低成本的设计非常有吸引力，但是成本的降低通常以牺牲 EMC 为代价。因此，低成本设计需要更好的规划才能满足所需级别的 EMC 性能。

#### ◆ 传统线性电源

交流-直流电源可以用输入与输出之间的串联电阻来近似描述，可选的反馈控制电路通过改变这个串联电阻的阻值提供指定的输出电压。传统线性电源有其优秀的性能特性（如 EMI 性能佳），但在效率、散热和尺寸方面存在劣势。

传统线性电源的框图如下图所示。

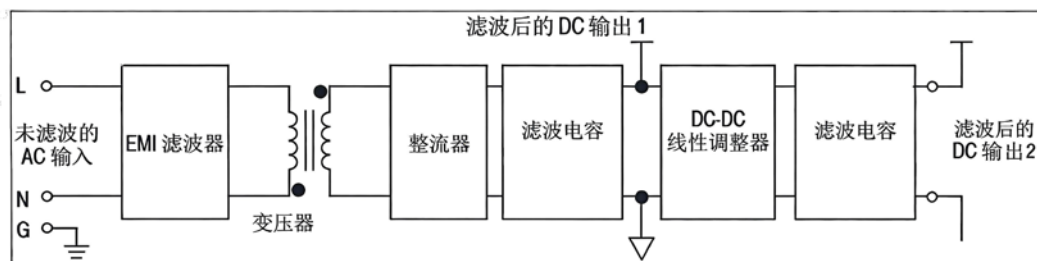


图 3-2 传统线性电源

电压线性调节器输出和负载需要保护免受过压影响，且需要旁路以降低噪声，如下图所示。

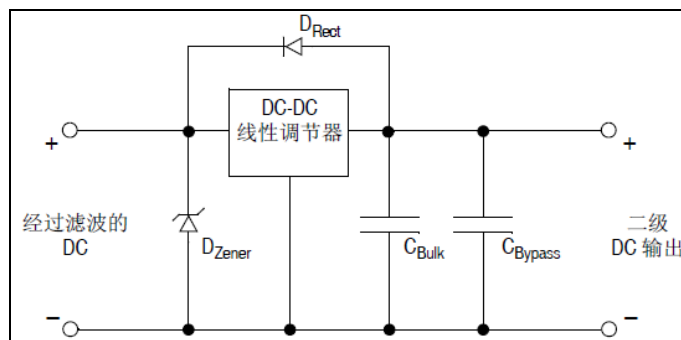


图 3-3 线性稳压器的滤波电路

过压保护应通过输出到输入的整流二极管 ( $D_{Rect}$ ) 来实现，为关闭时的稳压后电源提供放电回路

路。另外，去耦电容（ $C_{Bulk}$  和  $C_{Bypass}$ ）可以用来控制二级直流输出的噪声。如需额外的保护，可以加入瞬变电压抑制器（ $D_{Zener}$ ）。

◆ 低成本线性电源

低成本的线性电源被称为阻容降压电源，可近似地用输入与输出间的串联电阻与齐纳二极管来产生输出电压。

阻容降压电源如下图所示。

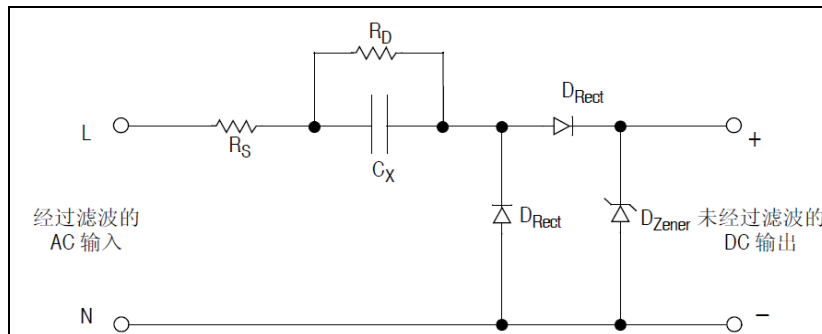


图 3-4 阻容降压电源

这种低成本的线性供电设计消除了传统设计风格中的转换效率、散热以及元件成本问题，但代价是增加了实现 EMC 的复杂性。阻容降压电路中交流电的 N 线就是 MCU 的地，所以 MCU 极易受到干扰，建议在 MCU 的 VDD 和 VSS 管脚间并联  $100\ \mu F$  电解电容和  $100nF$  瓷片电容。

◆ 隔离开关电源

交流到直流的开关电源根据来自输出的反馈信号来改变串联开关的占空比。传统的开关电源可以提供更效率的 DC 输出，但是以更高的噪声为代价的。隔离开关电源的框图如下图所示。

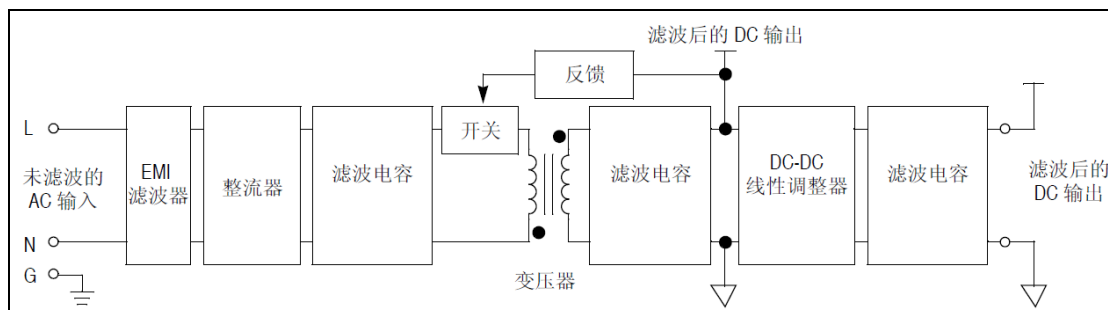


图 3-5 隔离开关电源

对于开关电源来说，对反馈回路进行光电隔离很重要，以确保调节后的电源和地与交流电完全隔离，从而获得最佳的 EMC 性能。

◆ 非隔离开关电源

传统隔离开关电源的低成本版本被称为非隔离式开关电源，是用来替换阻容电源的。非隔离式开关电源如下图所示。

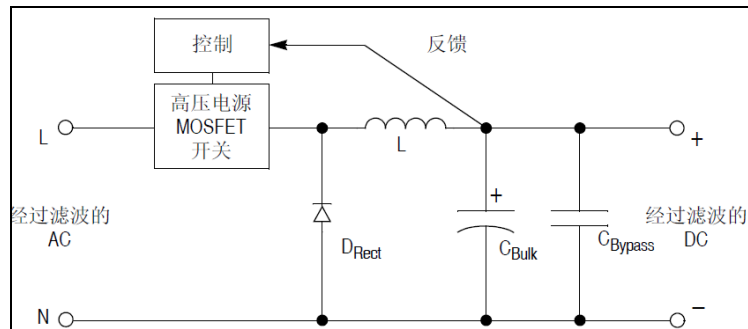


图 3-6 非隔离开关电源

这种低成本的开关电源设计降低了元件的成本以及传统设计风格布局的复杂性，同样也以增加实现 EMC 的复杂性为代价。

非隔离开关电源电路中交流电的 N 线就是 MCU 的地，所以 MCU 极易受到干扰，可参照低成本线性电源的设计方法进行电源管脚的滤波处理。

### 3.1.3 滤波电路设计

滤波电路是由电感、电容、电阻、铁氧体磁珠和共模线圈构成的频率选择性网络，可阻止某段频率范围内的信号沿线传递。

在 EMC 设计中，滤波的基本作用基本上是衰减高频噪声，故大多设计为低通滤波器。滤波电路的效能取决于滤波电路两边的阻抗特性，在低阻抗电路中，简单的电感滤波可得到显著衰减，而在高阻抗电路中几乎无作用；在高阻抗电路中，简单的电容滤波可得到很好的滤波效果，而在低阻抗电路中几乎不起作用，所以在滤波电路设计中，电容靠近高阻抗电路，电感靠近低阻抗电路。

### 3.1.4 输入接口电路设计

系统上输入信号的瞬变会产生具有挑战性的问题。通常情况下，输入信号的处理不仅要同电源引脚那样考虑，而且还要另外考虑基于应用的功能性需求。

标准的输入保护是低通滤波器，如下图所示。

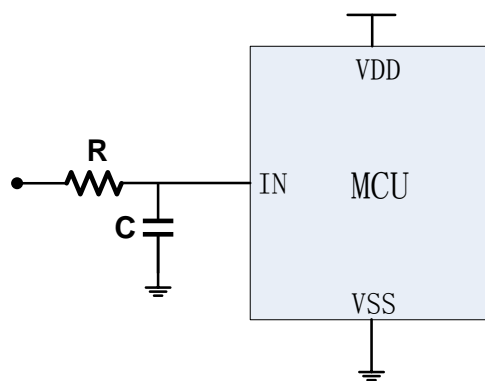


图 3-7 输入低通滤波电路

由图可知，串联电阻限制了注入电流，并联电容试图维持电压在稳定状态，所以可将瞬时电流分流到地。通过改变电阻和电容的值，可实现最大限度的保护，且对输入信号的影响最小。

输入管脚限制瞬变信号的方法包括：

- ◆ 利用瞬态电压抑制器（如 TVS）箝位输入电压
- ◆ 利用串联电阻或阻抗限制输入电流
- ◆ 用编织或实心屏蔽线屏蔽输入电缆
- ◆ 用保护线、微带状线或带状技术屏蔽 PCB 线路

◆ 将不使用的输入管脚连到 VDD 或 VSS

若敏感输入信号在 PCB 外，应将 MCU 置于靠近板外连接器的位置。若敏感输入信号在 PCB 内，应把 MCU 置于使这些信号的走线尽可能短的位置。

在实际系统中，很多主板要用排线连接按键板或显示板，这些排线易引入干扰，应在连接线接口处加入 RC 低通滤波来衰减干扰信号。也可用磁珠取代电阻，由磁珠和电容构成滤波电路。

若连接线数量较多而无法在每根信号线上添加滤波电路，则需通过测试找出干扰最大的信号线，单独增加滤波电路。

## 第4章 PCB的EMC设计

PCB 的 EMC 设计,是指通过布局、布线、接地和滤波防护等手段,在硬件层面控制 EMC,使电路在复杂电磁环境中不被干扰,且不干扰其他设备。

### 4.1 基本原则

PCB 的 EMC 设计基本原则是在满足功能与结构的前提下,保证电源完整性(PI)和信号完整性(SI),尤其要重视关键信号的处理。

#### ◆ PI 与 SI 的基本原则

- ◇ 电源滤波:芯片每个电源管脚单独放置去耦电容,尽可能靠近管脚
- ◇ 电源分割:模拟/数字电源平面分离,单点连接
- ◇ 地平面:建立完整、低阻抗的参考地平面
- ◇ 噪声敏感电路处理:独立供电、注意隔离

#### ◆ 关键信号处理原则

在 EMC 设计中,关键信号的处理尤为重要,其优先级由高到低排序如下:

- ◇ 时钟信号
- ◇ 高速数据总线
- ◇ 复位/使能信号
- ◇ 低速信号

PCB 的 EMC 设计可分为两大部分:布局 and 布线,下面将分别进行介绍。

### 4.2 布局设计

PCB 的 EMC 布局设计主要包括模块划分、模块布局和关键模块布局三个部分。

#### 4.2.1 模块划分

模块可以依据功能进行划分,如电源、时钟、放大、驱动等。

实际电路可能包含多种功能的电路模块。在进行 PCB 设计时,可依据信号的流向,对整个电路进行模块划分,实现整体布线路径短和模块互不交错,以减少模块间的相互干扰。

按照频率可将电路模块划分为高频、中频和低频电路,布局时应逐次展开,互不交错。

按照信号类型可以分为数字和模拟电路,布局时应考虑降低数字电路对模拟电路的干扰。

#### 4.2.2 模块布局

电路布局通常与信号的流向一致,且应先保证关键高速信号走线最短,再考虑走线的整齐和美观。时钟信号的走线应尽可能短,当时钟信号线较长时,则应紧邻时钟信号线加护送地线来屏蔽,护送地线应每隔  $\lambda/20$  打过孔与地层连接。对于其它敏感信号线,也应考虑屏蔽措施。

此外,模块布局时应遵循以下基本原则:

1) 对模拟信号、数字信号、功率信号等进行分区管理,不同功能电路的信号线只在各自区域内走线,如下图所示。

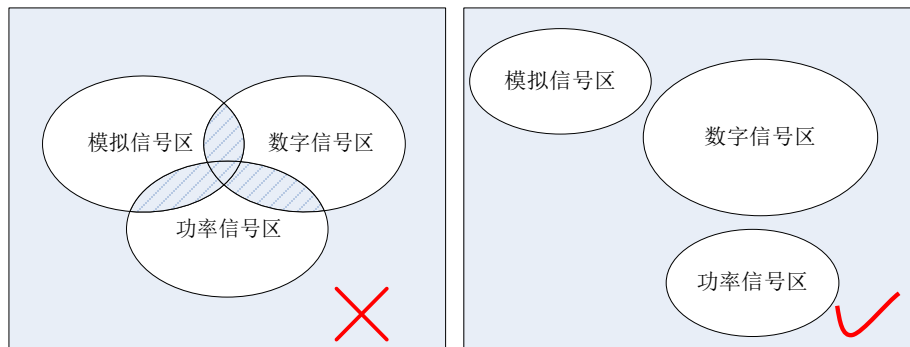


图 4-1 信号分区管理

- 2) 采用基于信号流向的布局，使关键信号和高频信号的走线最短。
- 3) 数模转换电路应布置在数字电路和模拟电路区域的交界处。
- 4) 时钟电路、高速电路和存储电路应尽量远离印制板外边缘；低频数字 I/O 和模拟 I/O 电路应靠近连接器。
- 5) 晶振等时钟电路尽量布置在 PCB 的中间位置，且尽可能靠近芯片的晶振管脚，如下图所示。

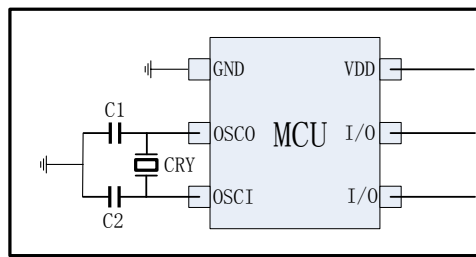


图 4-2 时钟电路布局

### 4.2.3 关键电路布局

关键电路的布局应该遵循以下原则：

- 1) 遵照“先大后小，先难后易”的布置原则，即重要的单元电路、核心元器件应当优先布局。
- 2) 对辅助电路，以每个功能电路的核心器件为中心，采用就近集中的原则来进行布局。

下面选取一些关键电路的布局进行具体分析。

#### 4.2.3.1 电源部分

任何系统的 PCB 布局都从电源部分开始。电源的放置主要考虑输入输出的顺畅，路径最短和避免交叉。

电源布线最重要的是环路面积一定要小。PCB 板上一般是差模辐射（电流在信号回路流动产生）远场辐射强度的公式如下所示：

$$E \approx \frac{2.63 \times 10^{-14} \cdot (I \cdot A) \cdot f^2}{r}$$

其中，E 为电场强度(V/m)，I 为电流强度(mA)，A 为电流的环路面积(cm<sup>2</sup>)，f 为电流频率(MHz)，r 为测试点到电流环路的距离(m)，由公式可知环路面积越小，辐射越小。

每个稳压直流电源区都要由自带的退耦滤波器实现隔离。退耦滤波器通常是一个带有串联和并联元件的低通滤波器。

在分散供电的单板上一般需要一个或多个 DC/DC 电源模块，加上与之相关的电路（如滤波、防护等电路）共同构成单板电源输入部分。

开关电源是产生电磁干扰的重要源头，而且干扰频带较宽。系统中一般有独立的电源板，电源板上产生的干扰能通过背板或空间传播到其它单板上。单板上供电线路越长，产生问题的可能性越大，所以电源部分必须安装在单板入口处。若存在大面积的电源，则要求统一放在单板一侧，如下图所示。

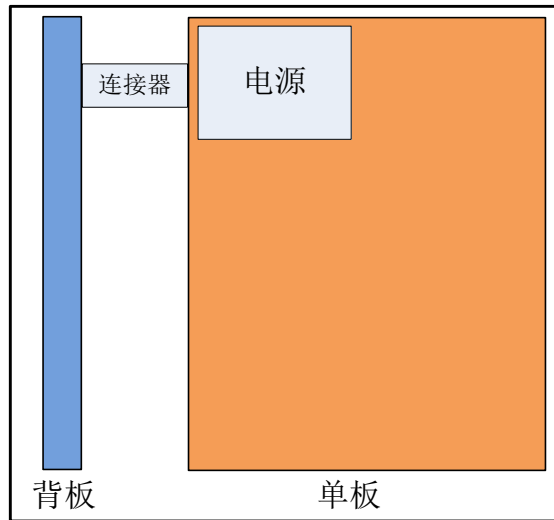


图 4-3 电源布局位置

布置电源时，要考虑输入输出线的隔离，避免交叉。

另外，因为单板的电源部分相对比较独立，且易产生电磁干扰问题，可利用过孔带或分割线将电源部分和其它电路部分进行隔离，如下图所示。

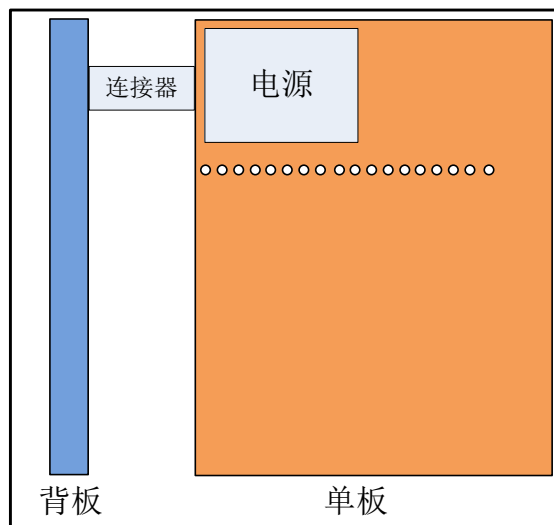


图 4-4 隔离过孔带

#### 4.2.3.2 时钟部分

时钟电路通常是单板上较严重的干扰源，需重点考虑其布局。

时钟电路具有较大的对外辐射，故在布局时，需尽量远离敏感电路（如模拟电路）。此外，为避免时钟信号串到互联电缆上产生辐射发射，时钟电路一般应远离 I/O 电路和电缆连接器。通常把时钟源及相关电路布置在电路板中间，并且铺设良好的参考地平面，必要时可设置局部接地面，以限制时钟干扰的扩散，如下图所示。

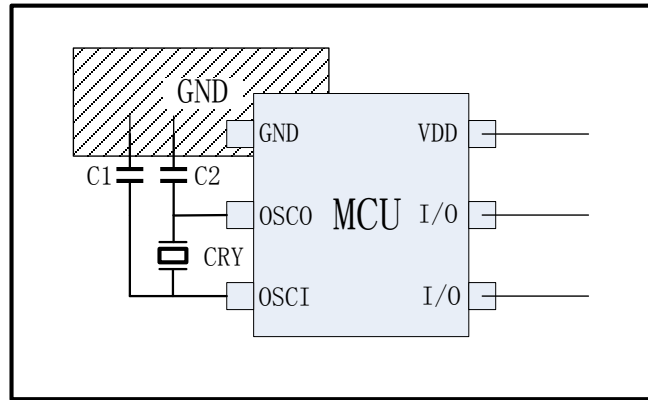


图 4-5 时钟电路局部铺地

有条件时可考虑在内层布时钟线，并进行必要的匹配、屏蔽（换层时采取包地措施）等处理。

#### 4.2.3.3 滤波器件

滤波是解决 EMC 问题的重要措施之一。实际应用中，即使原理图设计中已考虑采取大量滤波措施，比如电源滤波、接口滤波等，但在进行 PCB 设计时，如果滤波器件的位置布置不当，那么滤波效果将大打折扣，甚至根本不起作用。

如下图所示，滤波器件的布局应遵循以下原则：

- 1) 滤波电路要尽量靠近电源输入或输出端口。
- 2) 去耦电容要尽量靠近芯片电源和地管脚。
- 3) 局部功能模块的滤波要靠近模块。
- 4) 外部接口的滤波电路要尽量靠近接口。

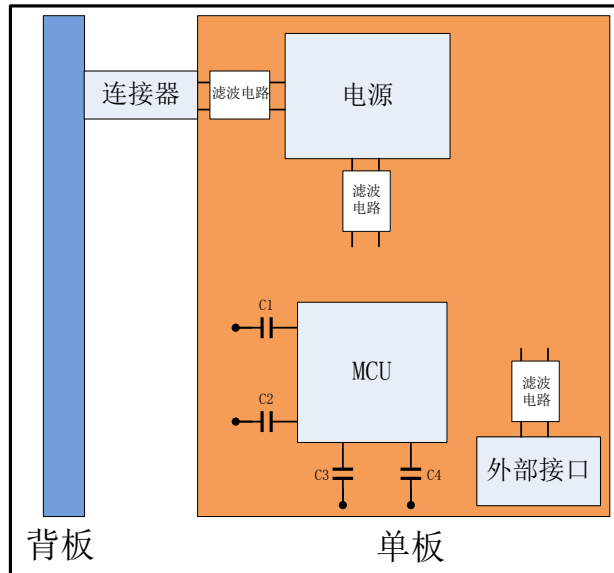


图 4-6 滤波器件的布局

#### 4.2.3.4 旁路和退耦布局

旁路就是在高阻抗线路中通过一条支路进行分流来减小高频电流的流量。不恰当的旁路会增加系统噪声，并最终导致运行不正确、不可靠和不稳定。

为了使旁路网络正确运行，需注意以下三点：

- ◆ 电容必须能提供负载所需的瞬时电流。
- ◆ 旁路网络与其负载间的阻抗必须足够低。

- ◆ 旁路网络的回路面积必须尽可能小。

退耦是共用同一个电源的两个电路间的隔离，以防止噪声的传输。典型的退耦电路是低通滤波器。低通滤波器通常是不对称的，网络中两个方向的隔离不相同。退耦可以利用分流元件（电容、TVS 等）和阻塞元件（电阻、电感、磁珠等）实现电路的隔离，以限制信号传输或电源中的高频成分。未被分流到其返回路径的噪声可通过串联电阻削弱。

为使网络阻抗尽可能低，连接在 MCU 各管脚的滤波或退耦元件都应通过覆铜或短而粗的走线连到 VSS 脚上。

需要注意的是，随着 MCU 与退耦电容间走线长度的增加，回路面积和串联电感也会增加，这样会降低退耦效果。

## 4.3 布线设计

PCB 的 EMC 布线设计主要包括基本原则、过孔设计和接地设计三个部分。

布线的质量直接影响着 PCB 的 EMC 性能，良好的布线有利于 PCB 实现良好的 EMC 性能。要实现良好的布线，需在布线时遵循一些基本的原则，可减少很多 EMC 问题。

### 4.3.1 布线的基本原则

PCB 布线时应该遵循以下基本原则：

- ◆ 增大走线的间距以减小耦合引起的串扰。
- ◆ 尽可能成对且平行布置电源线和地线，使电流环路面积最小。
- ◆ 敏感信号线应远离强干扰信号线和电源线。
- ◆ 加宽电源线和地线，以降低电源线和地线的阻抗。
- ◆ 走线的公共地线应尽可能宽，推荐使用大于 2mm 的线宽。公共地线应尽量布置在 PCB 的边缘部分；公共地线最好形成环路或网状，以避免产生接地电位差。
- ◆ 走线的拐弯应成圆角或 135 度角，避免直角和锐角。
- ◆ 作为电路输入与输出的走线应尽量避免相邻平行，若相邻平行，则应在走线间加隔离地线。
- ◆ 走线应尽可能短，在高频回路中更应如此。
- ◆ 数字电路元件的各地址线或数据线应尽可能保持等长。
- ◆ 信号线长度避免为所关心频率的四分之一波长的整数倍，否则此信号线将产生谐振，谐振时信号线会产生较强的辐射干扰。
- ◆ 信号路径的宽度从驱动到负载应是常数。路径宽度的变化会改变路径阻抗，造成线路阻抗不连续，产生高次谐波和反射。
- ◆ 为避免产生“天线效应”，芯片空置管脚应接地，不允许出现一端悬空的管脚。
- ◆ 信号网络在多层 PCB 走线时不能闭环，闭环走线会形成环形天线，产生较强的电磁辐射。
- ◆ 对强干扰电路与敏感电路，如时钟线、音视频线、复位线或其它关键系统走线应强制使用 3W 原则（两根走线的中心距离需大于单线宽度的 3 倍）。
- ◆ 差分线应平行、等长、靠近和同层走线，禁止在差分线之间走其它信号线。

### 4.3.2 过孔设计

过孔对于低频、低速信号的影响很小，但对于高频、高速信号的影响较大。下面详细分析过孔的影响因素。

#### 4.3.2.1 过孔对回流的影响

过孔会引起参考平面的不连续性，有可能影响信号的最佳回流路径。

提高抗干扰性能的有效措施是避免在不同层之间打过孔布线，当必须采用过孔布线时，需在信号线上过孔附近打地过孔。

对于四层以上的 PCB，如若完整的地层和电源层，为了在布线时能够确保信号环路面积较小，地层应作为主要回流通路。若敏感信号线必须打过孔换层，当参考地平面变换成另一地平面，则需在过孔附近增加地过孔，当参考平面变换为非地层时，则需要对此信号线做包地处理。

总体来说，过孔有以下负面影响：

- ◆ 过孔的寄生参数影响 PCB 走线的特性阻抗，会导致阻抗不连续性。
- ◆ 若走线从本层走到相同参考平面的另一层，过孔影响一般较小；但若参考平面发生变化，则环路面积会发生变化，回路阻抗也会发生很大变化。

#### 4.3.2.2 过孔对信号质量的影响

过孔会引起信号传输时间变长，一般单个过孔产生约几百 ps 延时，但对于高速设计，应考虑多个过孔的累积效应，故应尽可能减少过孔数量。

#### 4.3.2.3 过孔设计原则

综合上述情况，过孔设计原则如下：

- 1) PCB 上的走线尽量不换层，尽量减少走线上的过孔数量。
- 2) 优先考虑内层布线，除管脚过孔外，避免在走线中途用过孔换层。
- 3) 多根线换层时，避免过孔太近且形成直线，防止在地平面层形成开槽。
- 4) 电源和地管脚要就近打过孔，过孔和管脚之间的走线越短越好。
- 5) 在信号线过孔附近加接地过孔，可为信号提供最短的回流路径。

### 4.3.3 接地设计

接地是抑制电磁干扰、提高电子设备 EMC 性能的重要手段之一。

电子设备的“地”通常有两种含义：一种是“大地”（安全地），另一种是“基准地”（信号地）。接地就是在系统与电位基准面之间建立低阻抗的导电通路。“接大地”就是以地球的电位为基准零电位，把电子设备的金属机壳（电路基准点）与大地相连接。

把接地平面与大地连接，往往是出于以下考虑：

- 1) 提高设备电路系统工作的稳定性
- 2) 静电泄放
- 3) 为操作人员提供安全保障

而与电磁干扰及敏感度问题有关的则主要是信号地。

#### 4.3.3.1 接地的基本方式

理想接地平面是一个零电位的导电平面，任何电流都不会在接地平面上产生电压降。实际的接地平面与理想的接地平面不同，往往存在一定的阻抗，当地电流流过时，在两接地点间可产生几微伏甚至更大的电位差。

进行接地设计时，应考虑和分析地电位分布，以便寻找接地平面上的低电位点，作为敏感电路或设备的接地点。

通常采用的接地方式有：浮地、单点接地、多点接地和混合接地。

#### 4.3.3.2 浮地

浮地是指设备的地线在电气上与大地（或其它导体）相隔离。在某些电子产品中，为防止机箱的直流或低频骚扰电流直接耦合到信号电路，有意使信号地与机箱隔离，即单元电路悬浮地。

浮地常用于需要隔离直流或低频干扰的场合，而在高频条件下，由于分布电容的影响，浮地对干扰的隔离作用将明显下降。对于部分需要接安全地的设备，则不能采用整机机壳浮地的接地方式。

#### 4.3.3.3 单点接地

单点接地是指整个系统中，只有一个接地点被定义为参考点，其它接地点都连接到这一个点上。

单点接地适用于频率较低的电路（1MHz 以下）。若系统的工作频率很高，当系统接地线的长度与波长可比拟时，单点接地并不合适。当地线的长度接近于  $1/4$  波长时，它就像一根终端短路的传输线，地线的电流、电压呈驻波分布，地线变成辐射天线，而不能起到“地”的作用。为了减小接地阻抗和地电位波动，地线的长度应小于  $\lambda / 20$ 。

对电源电路的处理，一般可以考虑单点接地。对于数字电路，由于其含有丰富的高频干扰成分，建议采用多点接地方式。

#### 4.3.3.4 多点接地

多点接地是指设备中各个接地点都直接接到距离最近的接地平面上，使接地线的长度最短。

多点接地电路结构简单，适用于工作频率较高的（>10MHz）场合。高频时，多点接地有利于减少地电位波动。但多点接地可能会导致设备内部形成较多接地环路，从而导致电磁干扰问题，并降低设备对外界电磁场的抵御能力。在多点接地的情况下，要注意地环路问题，尤其是不同模块、设备之间组网时。

地线环路可导致电磁干扰。理想地线应是一个零阻抗的良导体，但实际的地线本身既有电阻分量又有电抗分量，当有电流流过该地线时，就会产生电压降。地线会与其它连线（信号、电源线等）构成环路，当时变电磁场耦合到该环路时，就在地环路中产生感应电动势，并由地环路传到设备互联电缆上，形成共模电流，产生辐射发射，导致设备辐射发射超标；另外，若共模电流在负载两端形成电位差，还会对设备的正常工作造成影响。

#### 4.3.3.5 混合接地

混合接地是同时运用单点接地和多点接地的混合接地方式。对于部分电路或设备，低频时需采用单点接地，高频时需采用多点接地，此时可考虑混合接地。若电缆屏蔽外层的一端直接接到机壳上，而其余点通过电容接到机壳上，低频时电容有较高的阻抗，因此只是单点接地，而高频时电容阻抗接近于 0，则相当于多点接地，有利于减少地电位的波动。另外，在同一设备内部可对不同电路模块进行分组，模块内部采用单点接地方式，而模块间采用多点接地，这是混合接地的另一种典型形式。

#### 4.3.3.6 地的分割与汇接

当同一块 PCB 上同时存在强干扰电路和敏感电路时，通常需进行地分割来进行隔离。实际应用中，不同的地之间往往需要有共同的参考地电位，因此，分割开的地又需要通过适当的方式汇接。对于单板上不同类型地之间的汇接，建议通过加磁珠的地线完成，或者直接在 PCB 上以“桥”的形式实现。

对采用地分割处理的电路，布线时需要特别慎重，不要直接跨分割区布线。

在电源、地的分割方面要注意切断电磁干扰跨过分割区的传输途径，尤其是对滤波器、共模线圈、磁珠等器件的分割处理上。

#### 4.3.3.7 接地方式选取原则

对于给定的设备或系统，在所关心的最高频率（对应波长为  $\lambda$ ）上，当走线的长度与波长数量级相同，则视为高频电路，反之，则视为低频电路。一般来说，对低于 1MHz 的电路，宜采用单点接地；高于 10MHz，宜采用多点接地，以避免共阻抗耦合。

综上所述，接地方式的选取应遵循以下原则：

- 1) 低频电路（频率低于 1MHz 或地线长度小于  $\lambda / 20$ ），建议采用单点接地。

- 2) 高频电路（频率高于 10MHz 或地线长度大于  $\lambda/20$ ），建议采用多点接地。
- 3) 高低频混合电路，建议采用混合接地。
- 4) 为避免直流或低频干扰通过接地线干扰设备，可采用浮地。
- 5) 为消除因浮地产生的静电积累的影响，可在设备与大地间接入一个兆欧级的泄放电阻。
- 6) 对于射频电路接地，要求接地线尽量短或采用大面积接地。
- 7) 对于数模混合电路，可考虑先将数字地与模拟地分割开，再在一处汇接。

#### 4.3.3.8 其他接地问题

接地时还应注意以下问题：

- 1) 处理滤波器件接地焊盘时，应尽可能减少接地过孔和接地焊盘的距离，如下图所示。

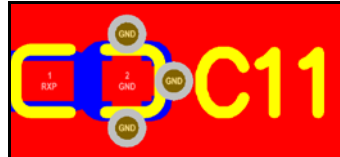


图 4-7 滤波器件接地焊盘

- 2) 处理 QFN 等芯片中央接地大焊盘时，可均匀放置 5~9 个接地过孔，如下图所示。

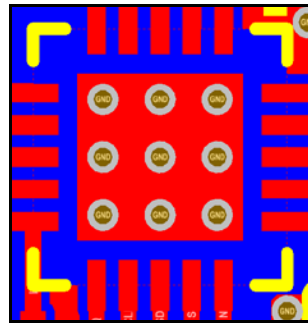


图 4-8 芯片中央接地焊盘

3) 部分强干扰源（如振荡器）可考虑采用局部接地面，并用过孔将局部接地面与参考地平面连接；禁止走线穿过局部接地面，造成局部接地面被分割。

4) 应尽量缩短接地线长度，保证相邻接地点间距不超过  $\lambda/20$ ，以防止地电位不均匀。

5) 接地面（包括铺地、局部接地面、电源平面上的分割地等）上禁止孤立铜皮，任一铜皮都应放置接地过孔。

6) 禁止地线铜皮上伸出多余线头或悬空分支线。

7) 微带线的终端应采用单个接地过孔（直径大于微带线宽）或多个接地小过孔

## 第5章 EMC整改案例

在产品硬件开发时应参考第 3 章和第 4 章所述方法，在系统设计和 PCB 设计阶段就考虑 EMC 问题，可显著降低后期整改成本。

若在产品测试阶段才发现 EMC 问题，则需先通过故障诊断来定位原因，再实施硬件整改，最后通过测试来验证整改效果。下面给出东软载波单片机在整机产品上的 EMC 整改案例。

### 5.1.1 电池包整改

#### 5.1.1.1 问题描述

某电池包产品采用东软载波 MCU（单片机）芯片作为主控，在进行产品 ESD 测试时，MCU 芯片出现闩锁（Latch up）现象。

#### 5.1.1.2 故障诊断

为复现故障，对电池包产品所有接插件进行 ESD 接触放电测试。当接插件 J2 管脚上施加的 ESD 电压达到±3kV 时，复现了 MCU 芯片闩锁现象，确认静电干扰是通过 J2 接插件（如下图所示）进入产品内部。

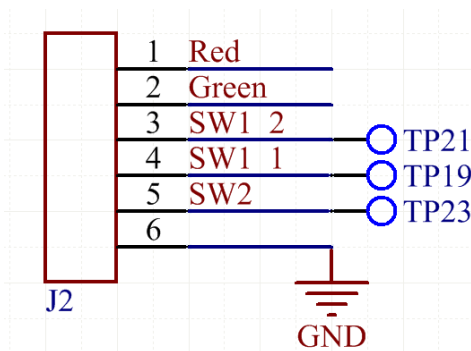


图 5-1 插件接口电路

#### 5.1.1.3 原因分析

分析电池包产品接口电路的 SCH 和 PCB，发现存在以下问题：

- ◆ ESD 防护电路的部分元件未焊接（如下图所示，C32 和 C52 取值为 NC）。

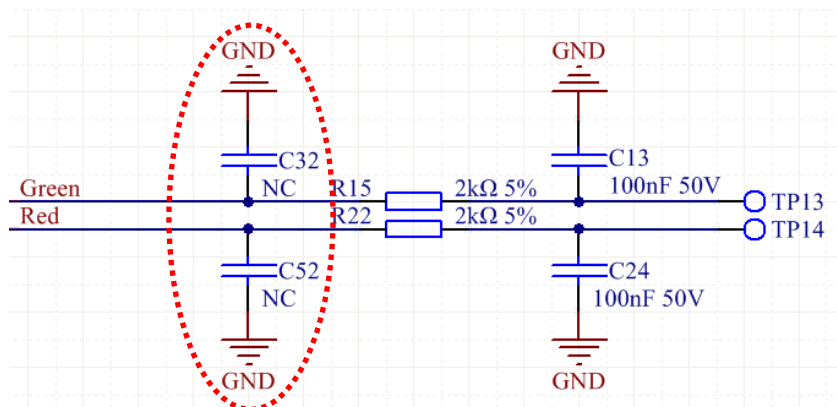


图 5-2 ESD 防护电路元件未焊

- ◆ 防护器件的接地焊盘仅通过一个过孔和底层地平面连接，且接插件 J2 的地平面和底层地平面之间仅通过细线连接，地回路阻抗较大，导致防护电路失效。

### 5.1.1.4 整改措施

#### ◆ 防护电路整改

原防护电路的部分元件未焊接，为提升抗 ESD 干扰能力，补焊缺失的元件，如图 5-3 所示，C32 和 C52 位置焊接 100nF 电容，与原 L 型 RC 电路构成  $\pi$  型 RC 滤波网络，提升防护性能。

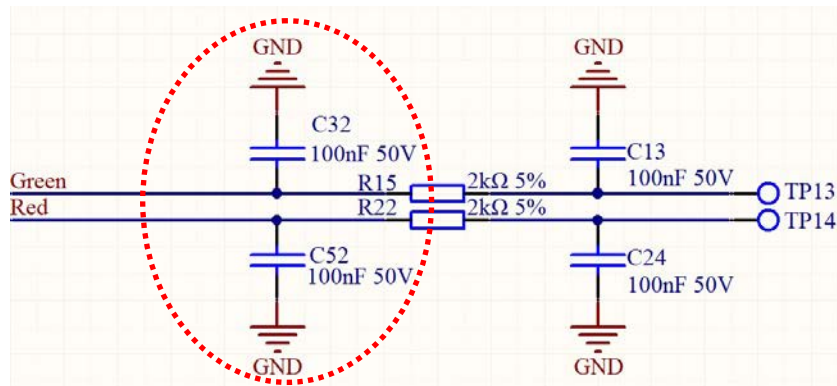


图 5-3 ESD 防护电路元件补焊

#### ◆ 飞线整改

为降低地回路阻抗，用飞线将防护电路地平面和电源输入端地平面相连。具体方法如所示，用杜邦线将防护器件（C32、C52）接地焊盘所在地平面和电源输入端接插件（SW2）地平面相连。



图 5-4 飞线整改

### 5.1.1.5 测试验证

首先按照上述措施进行临时整改。整改后的电池包在进行 ESD 接触放电测试时，MCU 未出现闩锁现象，且在静电干扰电压达到  $\pm 8\text{kV}$  后仍能正常工作。

再按照整改方案进行 PCB 改版设计。改版后的整机产品 ESD 复测通过，确认了整改方案的正确性。

## 5.1.2 血压计整改

### 5.1.2.1 问题描述

某血压计产品采用东软载波单片机作为主控芯片，在进行±0.5KV 接触放电时就出现了芯片复位现象，而测试规范要求要求在±6KV 的干扰下仍能正常工作。

### 5.1.2.2 故障诊断

为复现故障，对血压计产品的外露接口进行 ESD 接触放电测试，发现对 USB 座管脚施加静电干扰时出现芯片复位现象，初步判定静电干扰信号通过 USB 座电源脚传导进入产品内部。

### 5.1.2.3 原因分析

考虑到血压计产品的抗静电干扰要求和实测数据差距较大，需从系统角度对血压计产品进行整改。

通过对该产品的 SCH 和 PCB 图的详细分析，发现电源、接口和芯片管脚防护等电路都有不合理之处，需进行全面优化。

### 5.1.2.4 整改措施

#### ◆ SCH 整改

##### ◇ 电源电路整改

- 1) 供电电源整改：原稳压电源（LDO）芯片的输出端仅有大电容，故增加 100nF 小电容（C23），提升稳压电源抗高频噪声能力，如下图所示。

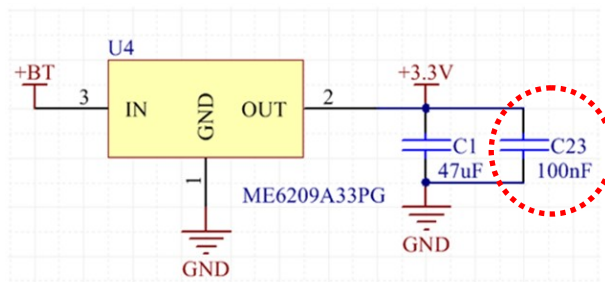


图 5-5 稳压电源芯片增加滤波电容

- 2) 电源滤波整改：外围芯片电源管脚皆未加滤波电容，故增加 100nF 去耦电容，提升其电源端抗高频噪声能力，如下图所示。

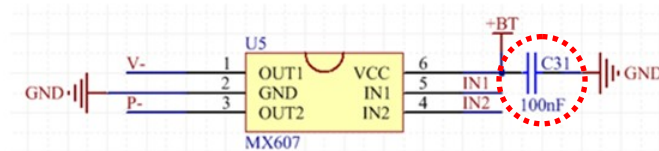


图 5-6 外围芯片电源脚增加滤波电容

- 3) 外部接口电路整改：增加滤波网络，提升接口抗 ESD 干扰能力，如下图所示。

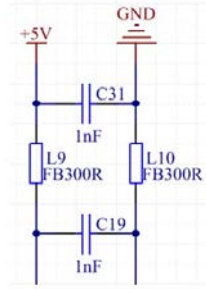


图 5-7 接口增加滤波网络

◇ MCU 外围电路整改

首先，对主控 MCU 管脚电路增强抗干扰防护措施（如下图所示），具体措施包括：

- 1) MCU 电源管脚串联磁珠、并联 100nF 去耦电容，提升电源噪声抑制能力。
- 2) MCU 电荷泵外接电容由 NC 改为 4.7  $\mu$ F，提升电荷泵抗干扰性能。
- 3) MCU 数字地和模拟地之间的 0  $\Omega$  电阻改成磁珠，降低地噪声串扰。

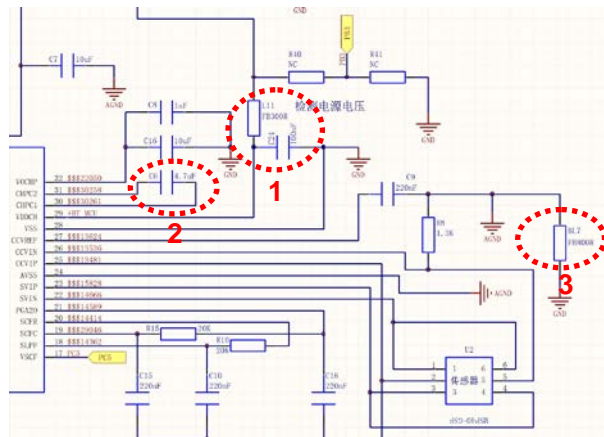


图 5-8 MCU 管脚防护

其次，对 MCU 外围电路进行整改，具体措施包括：

- 1) 删除外围冗余电路，增大 PCB 布局布线空间。
- 2) 把语音芯片电源由 MCU 电源驱动改为外部 LDO 驱动，降低 MCU 带载压力。

◆ PCB 整改

◇ 电源走线

如下图所示，对电源线进行优化，具体措施包括：

- 1) 按照电流流向从左往右，从上至下布线；
- 2) 电源线加宽，走最短路径，避免形成环路（包含半环）；
- 3) 电源线先经过滤波电容，再连接芯片电源管脚。

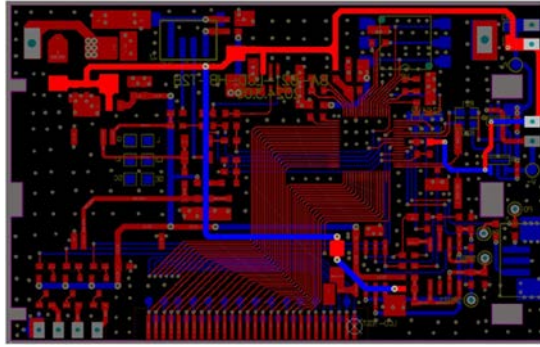


图 5-9 电源走线

◇ MCU 主控电路走线

如下图所示，对 MCU 主控电路走线进行优化，具体措施包括：

- 1) MCU 外围模拟电路靠近芯片布局，缩短走线长度。
- 2) MCU 时钟电路靠近芯片管脚，负载电容地焊盘旁就近放置过孔，降低接地阻抗。
- 3) 减少 MCU 中央底部的走线，留出铺地空间，提升地平面完整性。

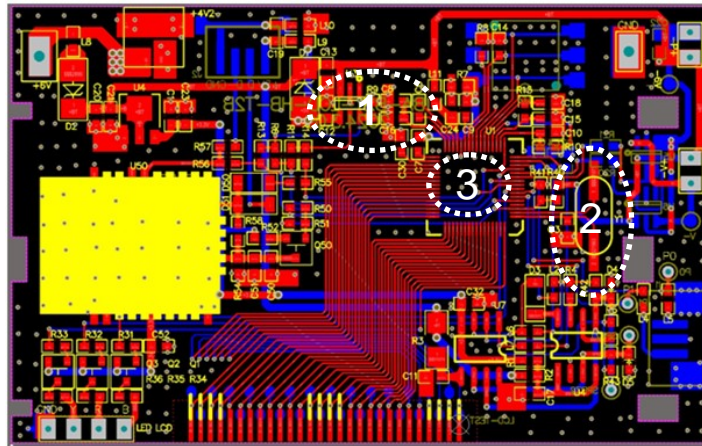
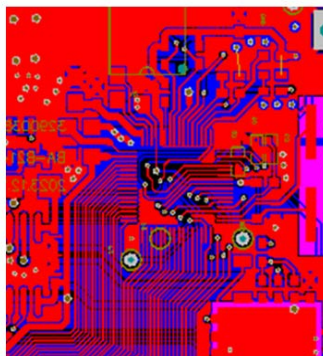


图 5-10 MCU 外围电路走线

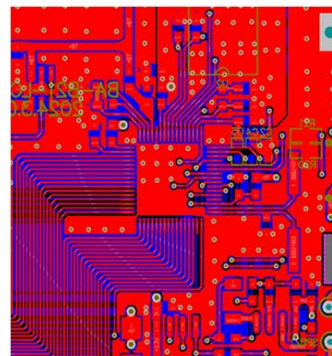
◇ 铺地和过孔

如下图所示，对铺地和过孔进行优化，具体措施包括：

- 1) 增加铺地面积，降低整体地阻抗
- 2) 铺地空白区域均匀放置接地过孔，降低顶层和底层地平面的接地阻抗。

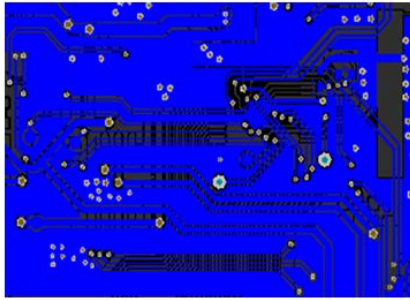


(修改前顶层)

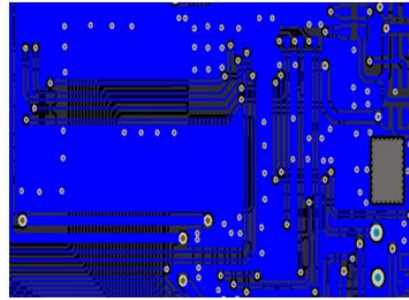


(修改后顶层)

图 5-11 顶层铺地对比



(修改前底层)



(修改后底层)

图 5-12 底层铺地对比

### 5.1.2.5 测试验证

先按照上述整改方案对血压计板进行 PCB 改版，再对整改后的产品进行接触放电测试。在静电干扰电压达到 $\pm 6\text{KV}$ 后，血压计仍能正常工作，证明整改有效。